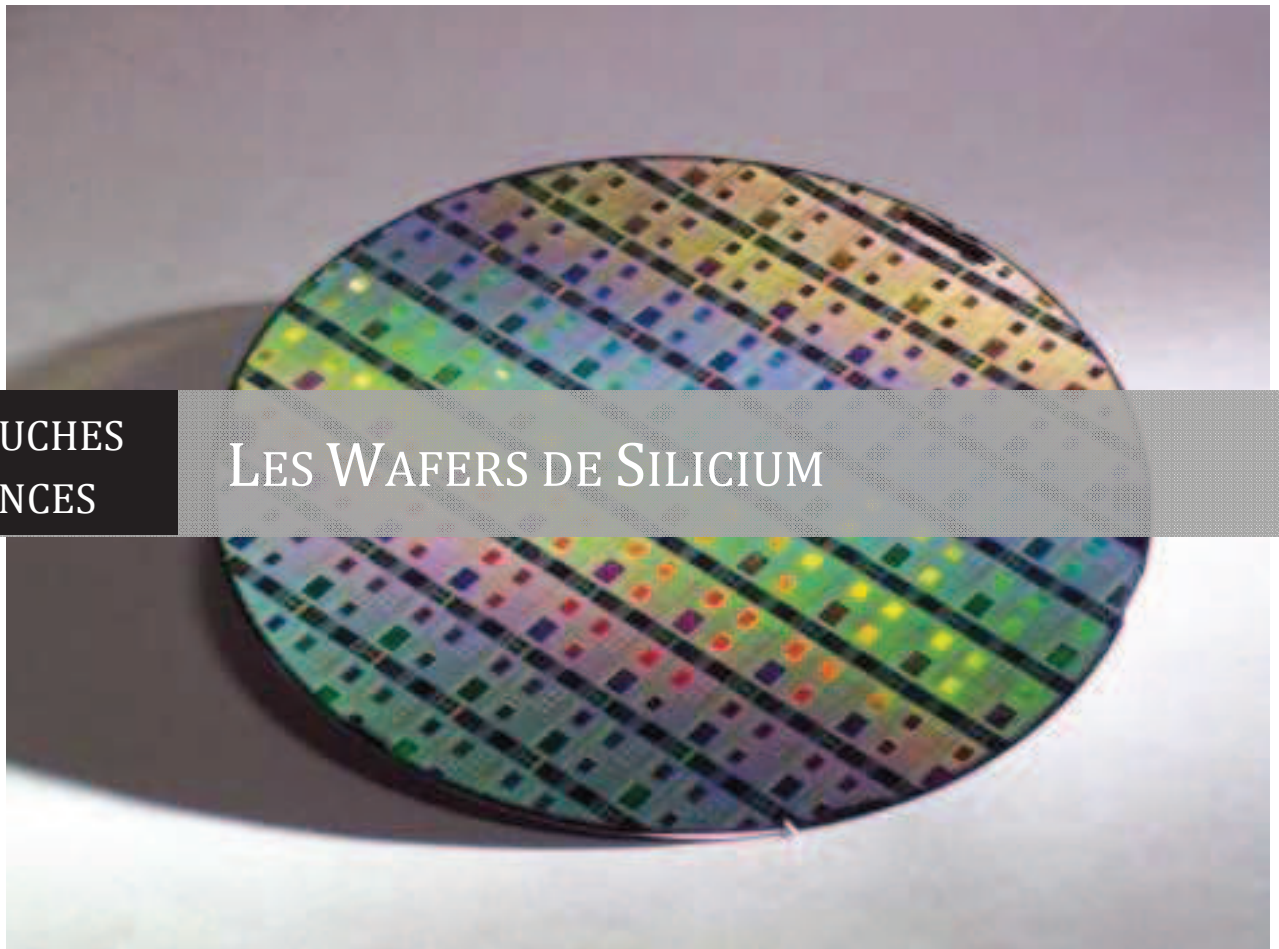


COUCHES
MINCES

LES WAFERS DE SILICIUM



SOMMAIRE

SOMMAIRE	2
I. INTRODUCTION.....	3
II. LE SILICIUM ET LES WAFERS	3
A. DEFINITION : QU'EST-CE QUE LE SILICIUM ?	3
B. DEFINITION : QU'EST-CE QU'UN WAFER ?	4
C. PROPRIETES GENERALES DU SILICIUM ET DES WAFERS	4
1. LE SILICIUM	4
2. LES WAFERS	4
III. CONCEPTION D'UN WAFER DE SILICIUM	5
A. CONTEXTE DE REALISATION DES WAFER DE SILICIUM	5
B. ETAPES DE CREATION D'UN WAFER DE SILICIUM	6
1. CREATION DU WAFER	6
2. CREATION DES MASQUES	7
3. L'EPITAXIE	7
4. OXYDATION ET EXPOSITION	7
5. LA PHOTOLITHOGRAPHIE	8
6. GRAVURE	8
7. EXCAVATION ET DEPOUILLAGE	8
8. IMPLANTATION IONIQUE	9
9. LE DEPOT	9
10. L'OXYDATION	9
11. INTERCONNECTIONS SUR UNE COUCHE	9
12. POLISSAGE MECANIQUE ET CHIMIQUE	10
13. INTERCONNECTIONS ENTRE LES COUCHES	10
14. TESTS ET COUTS	10
C. PROBLEME A LA CONCEPTION	10
IV. LES DIFFERENTES UTILISATIONS.....	11
A. FILERES A DOUBLE CAISSON	11
B. LES S.O.I.....	11
1. CREATION DU S.O.I	11
2. RESUME	12
3. AVANTAGES ET CONTRAINTES.....	12
V. CONCLUSION	13
VI. BIBLIOGRAPHIE.....	14

I. INTRODUCTION

Etudiants en seconde année de Master de « Conception, mise en œuvre et qualité des composants Electroniques et Optoélectroniques », à l'Université de Nantes, nous devons réaliser un rapport et une présentation dans le cadre de la matière de couches minces. J'ai alors réalisé un travail de recherche sur le sujet des « Wafers de Silicium ». Dans ce travail, je vais donc vous présenter les différentes caractéristiques des « Wafers de silicium » ainsi que les étapes de fabrication, d'utilisation et d'innovation autour de ces « Wafers de silicium ». Les différentes techniques et les évolutions seront aussi présentées dans le rapport.

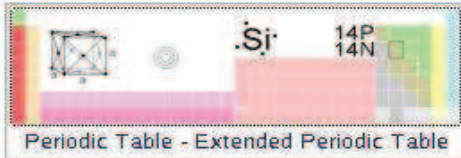
II. LE SILICIUM ET LES WAFERS

A. DEFINITION : QU'EST-CE QUE LE SILICIUM ?

Le silicium (anglais silicon) est un élément chimique de la famille des cristallogènes, de symbole Si et de numéro atomique 14.

Découvert scientifiquement en 1824, C'est l'élément le plus abondant dans la croûte terrestre après l'oxygène. Il n'existe pas à l'état libre, mais sous forme de composés: sous forme de dioxyde de silicium (SiO_2), la silice (dans le sable, le quartz), et bien d'autre. Il est utilisé depuis très longtemps sous forme d'oxyde de silicium amorphe (silice ou SiO_2) comme composant essentiel du verre, du cristal et de la porcelaine. Il a depuis le milieu XX^e siècle de nouveaux usages en électronique, pour la production de matériaux tels que les circuits intégrés, les transistors ou pour fabriquer des panneaux solaires photovoltaïques.

▪ Caractéristiques du silicium:

14	aluminium ← silicon → phosphorus
C ↑ Si ↓ Ge	
General	
Name, Symbol, Number	silicon, Si, 14
Chemical series	metalloids
Group, Period, Block	14, 3, p
Appearance	dark gray, bluish tinge 
Atomic mass	28.0855(3) g/mol
Electron configuration	$[\text{Ne}] 3s^2 3p^2$
Electrons per shell	2, 8, 4



B. DEFINITION : QU'EST-CE QU'UN WAFER ?

En électronique et micro-électronique, un « Wafer » (de l'anglais) est une tranche ou une galette de semi-conducteur. Ce terme est également utilisé couramment dans les domaines scientifiques depuis les années 1960 jusqu'à nos jours. Comme l'usage du terme anglais « Wafer » est devenu tellement répandu dans les unités de fabrication, le terme français de « gaufrette » n'est quasiment jamais utilisé.

Pour résumer, un « Wafer » est un morceau assez fin composé de silicium monocristallin, permettant de graver des transistors, des semi-conducteurs de puissance et des circuits intégrés. Ces circuits intégrés sont ainsi produits grâce au découpage de ce morceau.

Sa fabrication est réalisée par des techniques telles que le dopage, la gravure, la déposition d'autres matériaux (épitaxie, sputtering, dépôt chimique en phase vapeur...) et la photolithographie. Ces techniques seront présentées dans la suite de ce rapport.

C. PROPRIETES GENERALES DU SILICIUM ET DES WAFERS

Le silicium possède certaines propriétés qui découlent ensuite sur les « Wafers de silicium ». Ces éléments sont présentés dans le premier paragraphe. Ces « Wafers » possèdent certaines propriétés qui seront présentées dans le deuxième paragraphe.

1. LE SILICIUM

Les propriétés du silicium ont permis la création d'une deuxième génération de transistors, puis les circuits intégrés. C'est aujourd'hui, l'un des éléments de base de l'électronique, car sa capacité technologique permet d'obtenir du silicium pur à plus de 99,999 99 % et donc avoir des composants possédant de meilleures performances.

L'extraction Silicium pur se fait à partir d'un oxyde de silicium ou appelé sable quartz. On le chauffe à 1700°C, et obtention d'un silicium pur (96%-99%) ($\text{SiO}_2 + \text{C} \rightarrow \text{Si} + \text{CO}_2$). Ensuite, on le dissout dans de l'acide chlorhydrique et on le purifie par distillations. On obtient alors du trichlorosilane (ou disilicochloroforme) ($2\text{HSiCl}_3 \rightarrow \text{Si} + 2\text{HCl} + \text{SiCl}_4$). Et enfin on réduit l'échantillon à l'aide d'hydrogène afin d'obtenir des barres de silicium. Ces étapes permettent d'obtenir des barres de silicium pur.

Ces barres seront alors l'élément de base des « Wafers » dont les propriétés générales vont vous être présentées dans le paragraphe suivant.

2. LES WAFERS

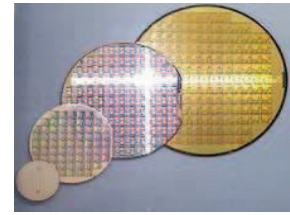
Les « Wafers » sont de différents types. La taille, le coût, le nombre de gravure et l'épaisseur déterminent les caractéristiques des « Wafers de silicium ».

Ils peuvent être de différentes tailles depuis 1 pouce (25,4 mm) jusqu'à 300 mm pour une épaisseur de l'ordre de 0,7 mm. La tendance est d'en utiliser des plus grands possibles afin de pouvoir graver davantage de puces simultanément. On limite ainsi les pertes sur le bord de plaque d'où une production plus importante avec un moindre coût.

De plus, ils contiennent traditionnellement un méplat, dans le cercle sur le côté, qui indique l'orientation des plans cristallins. Mais plus récemment, les « Wafers » utilisent une simple

encoche pour indiquer cette orientation. Cette orientation a une importance car les cristaux ont des propriétés structurales et électroniques très dépendantes de la direction.

Enfin de compte, on imprime les circuits intégrés, les transistors et les semi-conducteurs de puissance en quadrillage très serré afin d'en mettre le plus possible sur un seul « Wafer ». Les circuits sont généralement identiques sur un même « Wafer ». Il est tout de même possible à l'aide de différentes techniques de placer des circuits différents sur un même composant.



Par la suite de cette présentation, nous allons vous présenter les « Wafers de silicium » et surtout les étapes de fabrication de ce dernier. Et enfin, les évolutions qui sont en cours dans ce domaine technologique.

III. CONCEPTION D'UN WAFER DE SILICIUM

Dans ce paragraphe, je vais vous présenter les différentes étapes nécessaires à l'élaboration d'un « Wafer de silicium ». Le contexte dans lequel sont réalisés les « Wafer », seront aussi indiqué dans cette partie du rapport.

A. CONTEXTE DE REALISATION DES WAFER DE SILICIUM

Pour réaliser un « Wafer », il est nécessaire de ce situé dans un environnement dénué de pollution. C'est pourquoi, leurs réalisations se font dans des salles dites « blanche ».

Une salle blanche est une pièce ou une série de pièces dans laquelle la concentration particulière est maîtrisée. Ceci est nécessaire afin de minimiser l'introduction, la génération, la rétention de particules à l'intérieur de cet espace. On les trouve généralement dans les secteurs industriel ou de la recherche. La température, l'humidité ainsi que la pression relative sont maintenus à un niveau précis selon la norme ISO 14644-1. Il y a plusieurs types de salles blanches, comme l'indique le tableau ci-dessous.

particules / ft ³						
Class	0,1 µm	0,2 µm	0,3 µm	0,5 µm	1 µm	5 µm
1	35	7	3	1		
10	350	75	30	10	1	
100	3500	750	300	100	10	1
1 000				1 000	100	10
10 000				10 000	1 000	100
100 000				100 000	10 000	1 000



Salle blanche de la NASA.

Cette pièce est aussi utile car la manipulation de produit toxique et dangereux sont partie intégrante de la conception d'un « Wafer de silicium ». Cela permet aussi de protéger les techniciens fabriquant les « Wafer ». Car au sein des salles blanches, les équipements de protections telles que des habits spéciaux sont obligatoire et permettent de protéger les composants fabriqués mais aussi les usagers de ces salles. De plus un accès réglementé limite les influences extérieures et les perturbations qui en découlent.

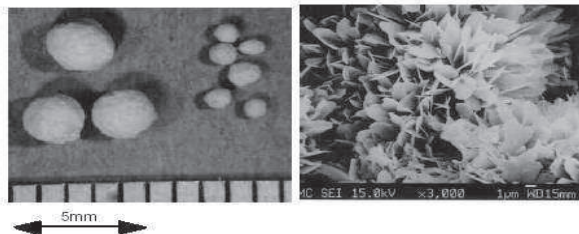
B. ETAPES DE CREATION D'UN WAFER DE SILICIUM

Pour réaliser un « Wafer de silicium », il faut respecter des règles très précises. La fragilité et le prix élevé du silicium monocristallin, entraîne une préparation des « Wafers » chronologique afin d'éviter toute contrainte pouvant les déformer ou les briser. Par ailleurs, leurs surfaces doivent être aussi parfaites que possible. Et de plus le traitement des éléments composant le « Wafer de silicium » ne doit pas « polluer » le monocristal.

Il est alors nécessaire de respecter l'ordre chronologique suivant pour tout d'abord la création des supports dans les étapes 1 et 2. Ensuite les étapes de 3 à 13 sont les détails de la création des composants du « Wafer ».

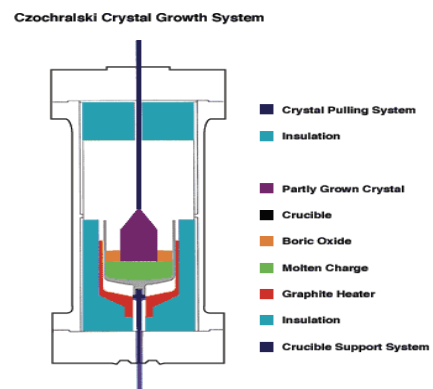
1. CREATION DU WAFER

Pour créer un « Wafer », il faut partir d'une graine cristal de silicium. Elle est le plus souvent créée artificiellement par une technique d'agglomération à haute température et mesure entre 1mm et 3mm.



A gauche un échantillon de graines cristal et à droite une vue au microscope de leur structure cristalline.

On plonge cette graine dans un bain de silicium liquide grâce à une tige et après que l'équilibre thermique soit atteint la cristallisation commence. La tige tourne dans le sens inverse. On tire lentement la graine vers le haut, on obtient alors une barre de silicium. La croissance cristalline est uniforme car la tige est parfaitement circulaire. La structure devient alors monocristalline, il s'agit donc d'un gros morceau de silicium qui n'est qu'un seul et unique cristal.



Les barres une fois refroidies...

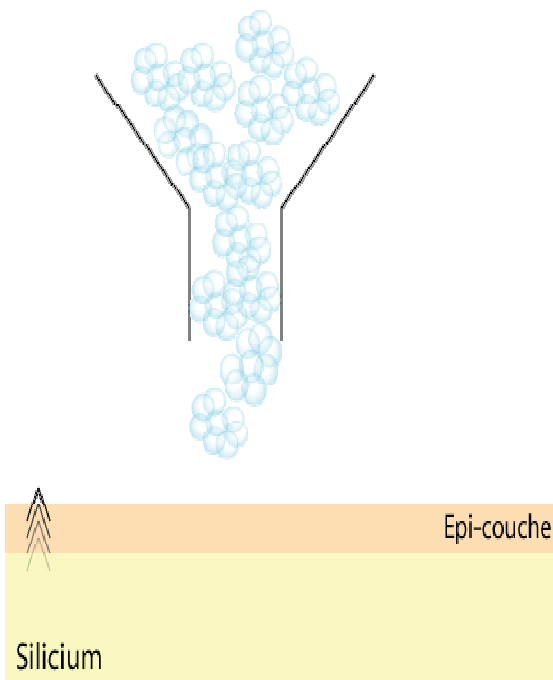
Ce processus peut durer jusqu'à 24 heures et le diamètre du cylindre obtenu sera supérieur au diamètre nécessaire. Il sera donc nécessaire de le rectifier et découper en tranches. Elles seront appelées « Wafer ». On les découpe suivant un diamètre de 0,2 à 0,3 mm d'épaisseur au moyen d'une scie circulaire diamantée de grande précision. On doit le faire dans l'eau afin d'éviter tout échauffement et toute pollution. Les déchets étant importants, les boues sont filtrées et la poudre de silicium est récupérée et ré-utilisée.

Ensuite, on effectue un rodage mécanique puis chimique pour but d'éliminer les irrégularités de surface provoquées par les grains de poudre de diamant et les irrégularités sur la couche superficielle qui peut avoir été polluée. Et pour terminer les « Wafers » sont rincées soigneusement et séchées.

2. CREATION DES MASQUES

Un masque de chaque couche correspond à un négatif photographique, il est obtenu en taillant au laser une couche de chrome, déposé sur une plaque de quartz extrêmement pur. Chaque couche correspond à un schéma électronique qu'une machine interprète, convertit et reproduit. Ceci est appelé : réticule. On remarque aussi que le Nombre de couches (24 au maximum) peut être important suivant la complexité du circuit.

3. L'ÉPITAXIE

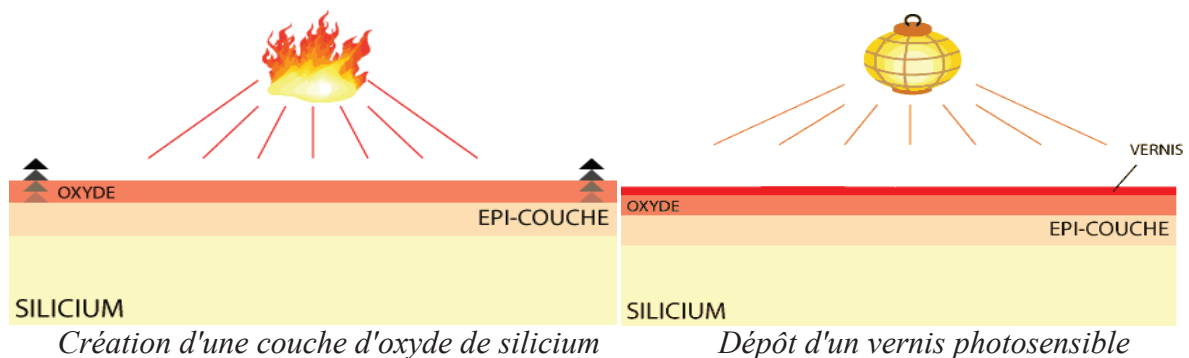


L'épitaxie consiste à faire croître du cristal sur du cristal (le silicium dans notre cas). La technique consiste à utiliser le substrat obtenu dans l'étape précédente comme germe cristallin de croissance. On l'utilise pour faire croître la couche par un apport d'éléments constituant la nouvelle couche.

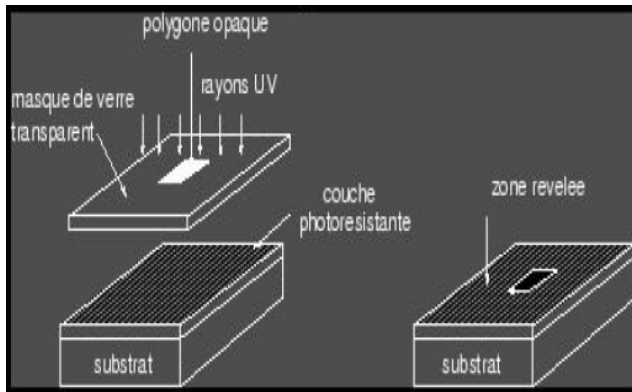
Le jet moléculaire est la technique utilisée pour les « Wafers ». Elle consiste à envoyer des ions à la surface d'un substrat dans un vide très poussé. Le principe est l'évaporation sous vide par chauffage, qui permet le contrôle des cellules d'évaporation. On crée alors un jet de molécules en direction du substrat. Cette opération est très lente car la vitesse de croissance est de l'ordre de 1nm par minute. On obtient une épi-couche extrêmement pure, d'approximativement 3% de l'épaisseur initiale, de meilleures qualités que le silicium constituant le « Wafer ».

4. OXYDATION ET EXPOSITION

Cette étape a pour but de créer la base des transistors, elle n'est pas utile pour les autres composants. L'épi-couche est chauffée pour développer une couche d'oxyde de silicium. On dépose alors un vernis photosensible sur l'oxyde pour une meilleure résistance.



5. LA PHOTOLITHOGRAPHIE

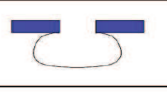
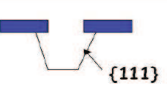
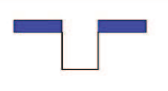


La photolithographie est une technique permettant de projeter à l'aide d'une source lumineuse, une image au travers d'un certain nombre d'objectifs sur un support photosensible afin de l'y imprimer. Le motif à transférer est précisément dessiné par un faisceau d'électron sur un masque. On applique des UV. Et ainsi la zone opaque est ainsi projetée sur le substrat. Il est placé dans un révélateur, une fenêtre est ainsi générée par cette technique.

Tableau des couleurs des masques

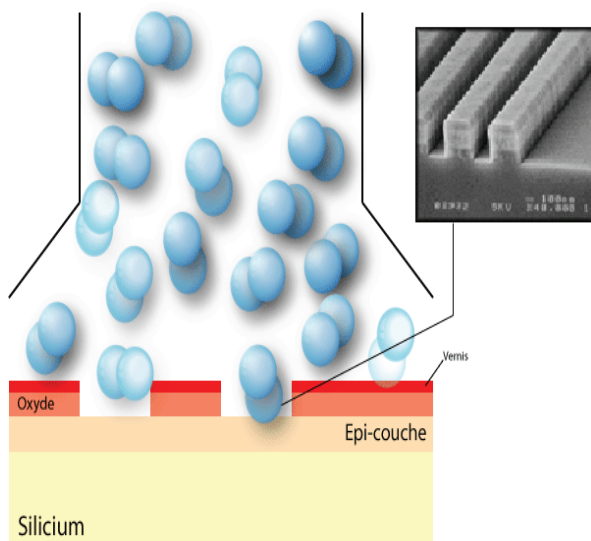
Masque	Trous	Reliefs
Résine positive	Motifs foncés	Motifs clairs
Résine négative	Motifs clairs	Motifs foncés

6. GRAVURE

	Gravure humide	Gravure sèche
Isotrope		
Anisotrope		

Cette étape suit la photolithographie, car elle permet de stabiliser l'étape précédente. Il en existe 2 sortes: la gravure humide et la gravure sèche. Et ces 2 types de gravure peuvent avoir un caractère, soit isotrope, soit anisotrope.

7. EXCAVATION ET DEPOUILLAGE

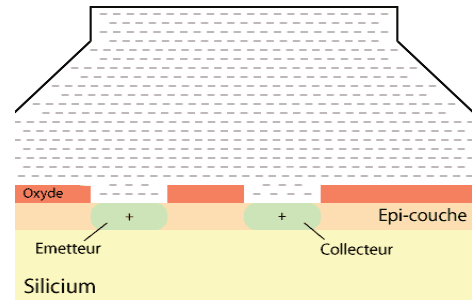


L'excavation au plasma (quatrième état de la matière autre que solide, liquide et gaz) est une technique de creusage des zones qui ont été touchées par la photolithographie.

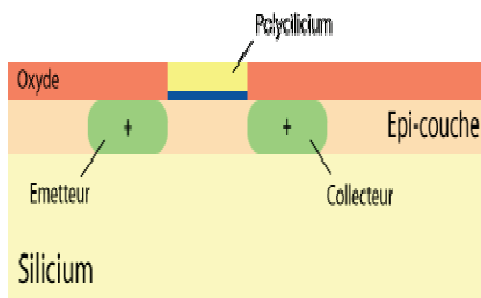
On forme le plasma lorsqu'on chauffe un gaz. Si on applique un champ électrique à ce gaz et s'il contient certains éléments chimiquement réactifs, comme le fluor ou le chlore, le plasma libère des ions qui peuvent décomposer des matériaux très rapidement. Il fournit aux produits chimiques une charge électrique, qui les dirige verticalement vers le wafer. Ceci permet la réalisation de profils verticaux quasiment parfaits. Les zones d'oxyde de silicium recouvertes par le vernis ne sont pas modifiées donc le profil de la couche d'oxyde devient ainsi identique à celle du vernis restant.

8. IMPLANTATION IONIQUE

Une implantation ionique a pour objectif de charger électriquement les zones de silicium mises à nu par la phase d'excavation. On l'appelle plus couramment dopage et consiste à planter verticalement les molécules sur la surface du silicium par un faisceau d'ions de haute intensité. Les ions pénètrent le silicium verticalement et sans aucune diffusion latérale. Les espaces libres sont chargés en ions, créant ainsi l'émetteur et le collecteur dans le cas d'un transistor.



9. LE DEPOT

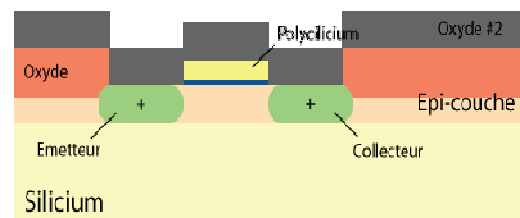


Le dépôt est une couche conductrice déposée dans les zones excavées d'oxyde silicium. Cette couche conductrice faite de polysilicium est séparée de la base du wafer par une fine couche de nitrure de silicium. On peut la déposer par C.V.D (Chemical Vapor Deposition, déposition chimique en phase vapeur), la matière est pulvérisée sous forme gazeuse aux alentours de 1000°C. Mais aussi par L.P.C.V.D (low pressure C.V.D, basse pression C.V.D) ou par L.T.O (low temperature

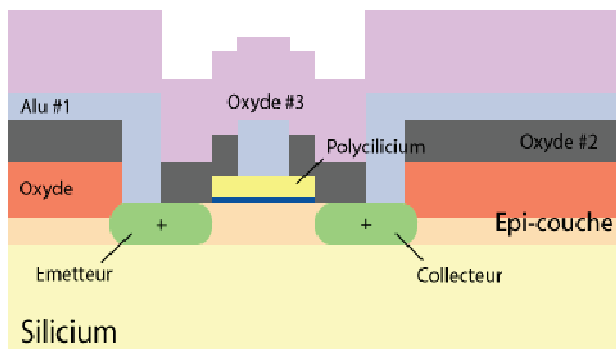
oxydation, basse température oxydation). Cette fine couche doit pouvoir laisser passer le champ magnétique créé par une impulsion. Ce champ créera un canal conducteur entre l'émetteur et le collecteur laissant ainsi le courant passer.

10. L'OXYDATION

Afin d'isoler les transistors les uns des autres, il faut développer l'oxyde de silicium. Une couche d'oxyde diélectrique d'isolation est ensuite déposée afin d'isoler les couches de connections et pour pouvoir réaliser les interconnexions.



11. INTERCONNECTIONS SUR UNE COUCHE



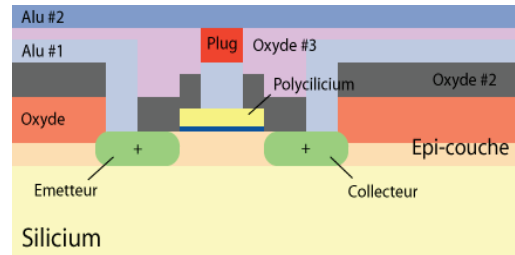
On veut créer les bornes des transistors de la même couche. Tout d'abord la couche d'oxyde diélectrique est "taillée" de la même façon que l'oxyde de silicium initiale, avec des masques différents. Ensuite, on dépose une couche d'aluminium sur la couche d'oxyde diélectrique et dans les vias. Par la suite, on vernit l'aluminium et on réutilise le processus de photolithographie pour de supprimer les zones où l'aluminium inutile. Pour finir, une couche d'oxyde est déposée pour isoler cette couche de composant des couches suivantes.

12. POLISSAGE MECANIQUE ET CHIMIQUE

Pour avoir une surface parfaitement plane, il faut polir le « Wafer ». On utilise alors Chemical Mechanical Planarization (polissage mécanique et chimique). On applique donc le « Wafer » sur des disques rotatifs afin de diminuer la surface, on accompagne cette opération d'eau pour protéger le « Wafer ». Après le polissage, la surface de l'isolant est parfaitement plane et peut accueillir une autre couche de connexion en Aluminium.

13. INTERCONNECTIONS ENTRE LES COUCHES

Pour réaliser les interconnexions entre les couches, la couche d'oxyde est vernie, puis photolithographiée et excavée. Cela crée des trous qui seront remplis de tungstène ou de titane-tungstène. Une nouvelle couche d'aluminium est ensuite déposée, vernie puis excavée et ainsi de suite suivant le nombre de couches d'interconnexions nécessaire au « Wafer ».

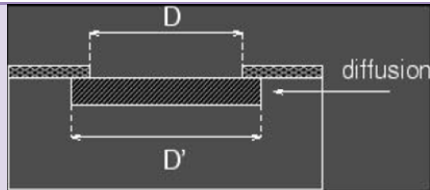
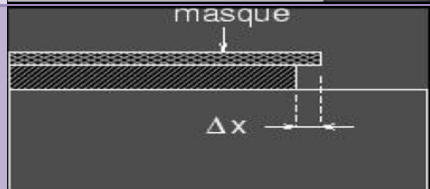
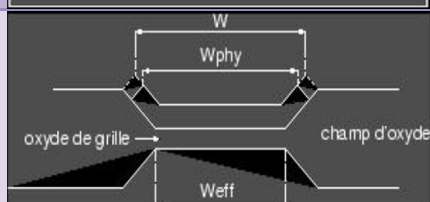


14. TESTS ET COÛTS

De nombreux tests sont nécessaires pour vérifier le bon fonctionnement du « Wafer de silicium ». De plus le coût de l'appareillage, ainsi que le coût des manipulations font partie des caractéristiques de l'élaboration des « Wafers ». Ces éléments sont aussi à prendre en compte lors de la fabrication de ces composants.

C. PROBLEME A LA CONCEPTION

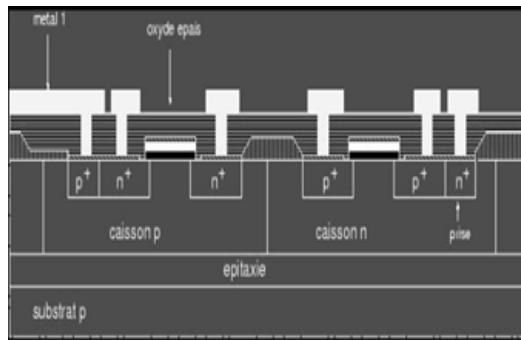
Lors d'une fabrication, un bon nombre d'erreurs peuvent se déclarer et être détectée. En effet, il peut exister une différence systématique entre la cote physique et la cote dessinée déterminant la valeur d'un composant. On dénombre de nombreux défauts qui sont souvent redondant. Ils peuvent venir de mauvais centrage de masques, des réglages des machines, mauvaises conditions de mise en œuvre des différents procédés et bien d'autres. Comme les erreurs suivantes :

		Erreur par excès de débordement des zones diffusées
		Erreur par défaut de gravure
		Erreur de bec d'oiseau

IV. LES DIFFERENTES UTILISATIONS

Dans la technologie, Il existe 4 types de filières technologiques qui utilise comme base le « Wafer de silicium ». Le Caisson P et le Caisson N, dont la présentation correspond à quelque chose près aux étapes décrites dans le paragraphe précédent. Et les deux autres filières, présentées dans la partie suivante, qui sont les doubles caissons N et P et le S.O.I.

A. FILIERES A DOUBLE CAISSON

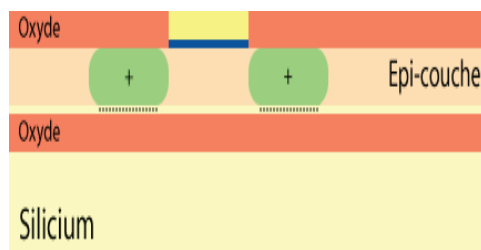


La filière à double caisson N et P, est utilisée pour optimiser séparément les paramètres électriques des transistors. On réalise les étapes de conception identique que lors de l'élaboration d'un caisson de type N et un autre de type P. Mais on met en place une zone épitaxiée sur le substrat, cela entraîne plus d'étapes de fabrication. Cette technique est présente dans l'utilisation des « Wafer de silicium » mais elle est moins utilisée car elle est plus onéreuse.

B. LES S.O.I

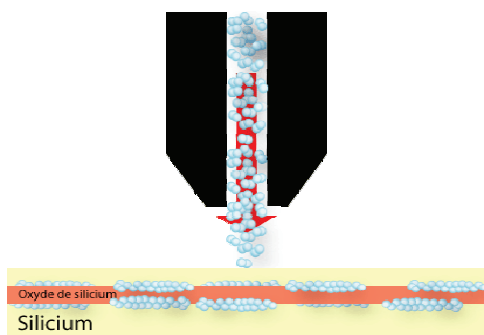
Bien que la réalisation et l'utilisation des semi-conducteurs d'oxyde métallique complémentaire (Complementary Metal-Oxide Semiconductor) présente de nombreux avantages, il y a aussi un sérieux désavantage dans cette technologie, c'est la capacitance. Pour y remédier, dans les années 90, des chercheurs d'IBM ont commencé à travailler sur une solution plus performante, et en particulier sur le silicium sur isolateur (Silicon On Insulator).

1. CREATION DU S.O.I



La technologie SOI et capacitance

La cause de cette recherche est une forte capacitance due à la différence de potentiel entre le silicium et ces parties d'epi-couche ionisées. Cette capacitance ralentit le changement d'état du transistor. Pour résoudre ce problème, les ingénieurs ont placé une couche d'isolant entre l'epi-couche et le silicium. Mais cela entraîne un nouveau problème, pour faire naître l'epi-couche, l'épitaxie doit se faire sur le silicium. Et après il est impossible d'insérer l'isolant.

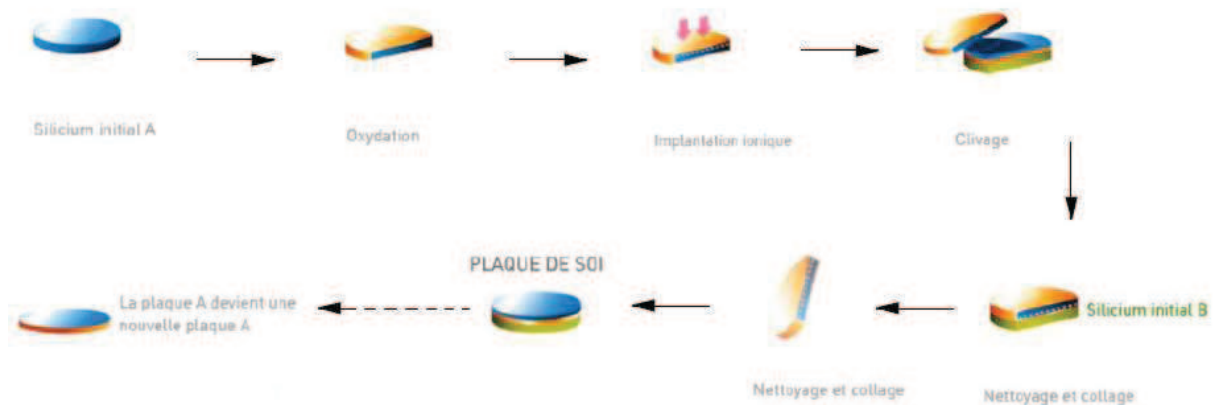


Formation de l'oxyde de silicium

La nouvelle solution est donc de faire naître l'isolant (oxyde de silicium) à l'intérieur du silicium par une technique de séparation par implantation d'oxygène (*Separation by IMplantation of OXYgen*). Cela consiste en une injection à très haute température d'oxygène purifié dans le wafer. L'injection est contrôlée afin d'obtenir des couches de $0,15\mu$ d'oxygène qui, avec la température élevée, se colle au silicium, formant ainsi les fines couches d'oxyde.

2. RESUME

Pour simplifier, l'élaboration du « Wafer S.O.I » se résume suivant les étapes présentées ci-dessous.



3. AVANTAGES ET CONTRAINTES

La technologie SOI va également de paire avec la métallisation au cuivre. Ce cuivre ayant une faible résistance électrique contrairement à l'aluminium, il permet une montée en fréquence moins hasardeuse qu'en technologie CMOS. En outre, l'utilisation de cuivre réduira d'environ 35% les délais électrique d'interconnexions et diminuera les interférences entre couches et les problèmes thermiques. C'est un avantage non négligeable.

Mais l'utilisation de la technique de Silicium sur isolant présente en plus des éléments précédents, un gain en performance non négligeable. En effet, il permet une isolation des transistors P et N, une densité d'intégration nettement supérieure (30%) qu'à la normale. Mais aussi aucuns problèmes de latch-up, une plus grande rapidité et immunité aux bruits découplés.

Malgré tout cela, il possède aussi des désavantages. Ces contraintes sont l'absence de diodes substrat ce qui rend difficile l'implémentation de protection de circuit et le grand nombre de défaut de même substrat. Mais surtout l'utilisation des nano-technologies entraine l'augmentation des coûts pour la fabrication de ce type de composants, ce qui les rend onéreux aujourd'hui mais qui tend à diminuer.

En conclusion de cette technique très avantageuse, supplantera la technologie CMOS dans les années avenir.

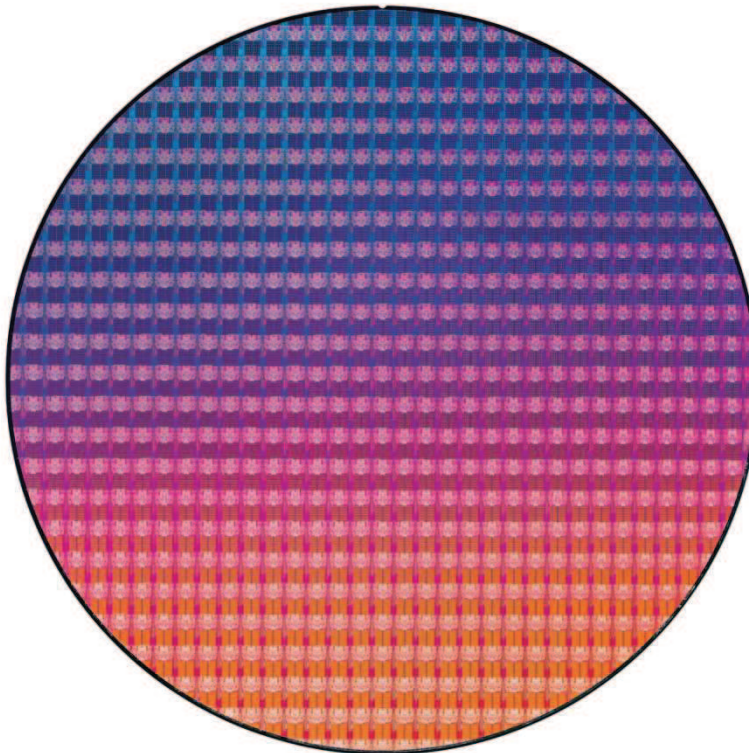
V. CONCLUSION

Pour conclure, le « Wafer de Silicium » est l'élément de base de l'électronique. Mais le futur de l'électronique passe aussi par les « Wafers ». En effet, les transistors sont la base de beaucoup de produit. Et comme le « Wafer » est de nos jours l'élément central de la fabrication des transistors, son utilité n'est plus à prouver.

De plus, la fabrication regroupe de nombreuses phases fabrication complexes montre à quel point, la maîtrise de la technique est très précise. L'utilisation de produit dangereux, oblige la fabrication des « Wafers » au sein des salles blanches et le respect d'étapes chronologiques très précises. La fabrication de ces composants, n'est pas à la portée de tout le monde mais d'un public connaisseur.

Le coût est quand à lui assez faible par rapport à la quantité produite dans lors de grande distribution de composant, mais l'investissement sur les machines d'élaboration est conséquent.

L'évolution vers les S.O.I est aujourd'hui en marche, car malgré leur complexité de réalisation et leur coût plus important, leur performance sont plus adaptée aux attentes que l'on peut avoir. C'est pourquoi, nous pouvons dire que dans quelques années les S.O.I auront supplantés la technologie CMOS.



VI. BIBLIOGRAPHIE

INTERNET

<http://fr.wikipedia.org/wiki/Wafer>

http://fr.wikipedia.org/wiki/Fabrication_des_dispositifs_%C3%A0_semi-conducteurs

<http://dictionnaire.phpmyvisites.net/definition-Wafer-13862.htm>

<http://www.x86-secret.com/popups/articleswindow.php?id=64>

<http://www.presence-pc.com/tests/transistor-wafer-finesse-de-gravure-23311/>

http://www.futura-sciences.com/fr/doc/t/geologie/d/au-coeur-de-la-silice-du-silex-au-wafer_567/c3/221/p1/

<http://www.eco-info.org/spip.php?article202>

http://www.decliphoto.fr/var/ezwebin_site/storage/images/media/images/image-wafer/51546-1-fre-FR/Image-Wafer_medium.jpg

http://www.erenumerique.fr/images/cpu/20050525/amd_200mm.jpg

<http://www.abcelectronique.com/>

www.soitec.com/fr

COURS

Cours Techno compos M2 CEO, Ahmed Rhallabi, M2CEO 2010/2011.

Module1-Wafer, Marie-Cécile Trager, M2CEO 2010/2011.

LIVRES

Semiconductor Materials And Process Technology Handbook, Gary E. McGuire

Les Nano-Technologies, Dominique Vinck