



Sébastien DEPRIESTER

Ingénieur développement FPGA

38 ans
En couple
Permis de conduire

✉ Email
sebastien.depriester@free.fr

📞 Portable
+33616042569

📍 Adresse
2 Résidence Saint-Jean
04510 AIGLUN

Présentation

- Minutieux et rigoureux, j'opte pour un travail de qualité, pour le partage de connaissances, et la persévérance qui me caractérise me pousse à mener à bien les projets les plus complexes au maximum de leurs performances.
- Habitué à travailler dans une équipe jeune et dynamique, sur de multi-projets, dans une entreprise multinationale, je m'adapte facilement à un nouvel environnement.
- Ma formation pluridisciplinaire en électronique, télécommunications et réseaux, et microélectronique me permet d'appréhender avec aisance les projets multi compétences.

Expériences

Ingénieur développement FPGA

STMicroelectronics - Rousset (13), France - CDI – Depuis janvier 2004

- ▶ **Portage de microcontrôleurs sécurisés 8 bits à base de cœurs STM7 sur émulateur multi-fpga Xilinx (Virtex 2).**
- ▶ **Portage de microcontrôleurs sécurisés 32 bits à base de cœurs ARM (Cortex-M3, Cortex-M0) sur émulateur multi FPGA Altera (Stratix II et III).**
 - Modifications du code VHDL du design pour intégrations des signaux de contrôles d'émulation
 - Modélisation en VHDL des cœurs analogiques (Sensors, supply, clock generator, ...)
 - Extraction et modélisations en VHDL des cœurs de mémoires
 - Développement de l'automate de programmation d'EEPROM et modélisation du PEC de la PFlash
 - Synthèse et placement/routage sur FPGA Xilinx Virtex 2 et Altera Stratix II et III
 - Simulation et analyse de timing
 - Validations
 - Debug sur analyseur logique externe.
- ▶ Microcontrôleurs intégrant USB, SPI, I2C, SWP, LPC, RF (13.56MHz), GPIO, et à base d'EEPROM ou de PFlash.
 - Validations de chaque interface de communication en collaboration avec l'équipe software
- ▶ Intégration de fonctionnalités spécifiques d'émulations (breakpoint, EEPROM et PFlash checker, User datasheet checker, ...)
- ▶ Maîtrise des suites logicielles Altera Quartus, Xilinx ISE, Synplify.
 - Amélioration du flow de développement
 - Développement de scripts TCL pour la génération automatique de contraintes de timing
- ▶ Utilisation de la sonde de debug JTAG au travers de Keil.

Ingénieur design numérique

STMicroelectronics - Rousset (13), France - CDI - Juillet 2000 à Décembre 2003

- ▶ **Conception de microcontrôleurs sécurisés équipés de ROM, RAM, EEPROM, interfaces de communications ISO 7816.**
 - Synthèse
 - Simulations RTL et back-annotées
 - Floorplanning
 - Placement / Routage, optimisation de surface et de timing
 - Fracturing
- ▶ Développement d'IPs en VHDL.
- ▶ Développement d'outils d'aide à la validation (Scripts en PERL).
- ▶ Validation complète sur silicium du produit final.

Compétences

Langues

- ▶ **Anglais**
 - Capable de tenir une conversation de niveau moyen
 - Lecture aisée de documents techniques
- ▶ **Allemand**
 - Notions

Conception FPGA

- ▶ Suite logicielle Altera Quartus
 - FPGA Altera Stratix II et III
- ▶ Suite logicielle Xilinx ISE
 - FPGA Xilinx Virtex 2
- ▶ Synplify-Pro
- ▶ Certify-SC

Conception électronique

- ▶ **Saisie de schéma et placement/routage**
 - Orcad
- ▶ **Simulation analogique**
 - Microsim
 - PSpice

Informatique

- ▶ **Langages de programmation**
 - VHDL
 - C
 - TCL
 - PERL
 - Assembleur (68HC11, PIC, STM7)
- ▶ **Développement WEB**
 - PHP
 - HTML
 - MySQL

Conception Microélectronique

- ▶ **Synthèse RTL**
 - NC-VHDL
 - NC-Verilog
- ▶ **Simulation**
 - NC-Sim
- ▶ **Placement-routage**
 - Cadence Opus